

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07131063 A**(43) Date of publication of application: **19.05.95**

(51) Int. Cl. **H01L 31/12**
H01L 21/82
H01L 27/15

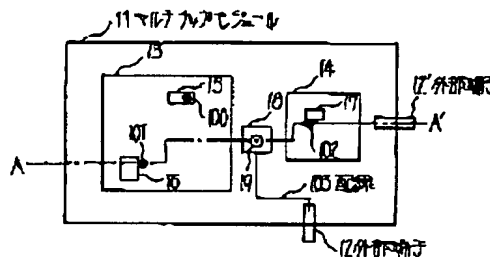
(21) Application number: **05273338**(22) Date of filing: **01.11.93**(71) Applicant: **NEC CORP**(72) Inventor: **ITO SOICHI**(54) **MULTICHIP MODULE**

(57) Abstract:

PURPOSE: To enhance the performance of a multichip as a whole while reducing the clock skew by employing means for transmitting an optical clock signal between the multichips.

CONSTITUTION: The multichip module 11 comprises a semiconductor chip 13 comprising a function block 15, a light receiving element 100, a function block 16, and a light receiving element 101, a semiconductor chip 14 comprising a function group 17, and a light receiving element 102, and a semiconductor chip 18 comprising a light emitting element 19. The light emitting element 19 is provided with an electric clock signal from the external terminal 12 of the multichip module 11 through a wiring 103 and the electric clock signal is converted into an optical signal. The optical signal is received by the light receiving elements 100-102 and converted into an electric signal which is delivered to the function blocks 15-17.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-131063

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 31/12 21/82 27/15	Z	7210-4M		
	D	8832-4M 8122-4M	H 0 1 L 21/ 82	W
審査請求 有 請求項の数 6 O L (全 7 頁)				

(21) 出願番号 特願平5-273338

(22) 出願日 平成5年(1993)11月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊藤 庄一

東京都港区芝五丁目7番1号 日本電気株式会社内

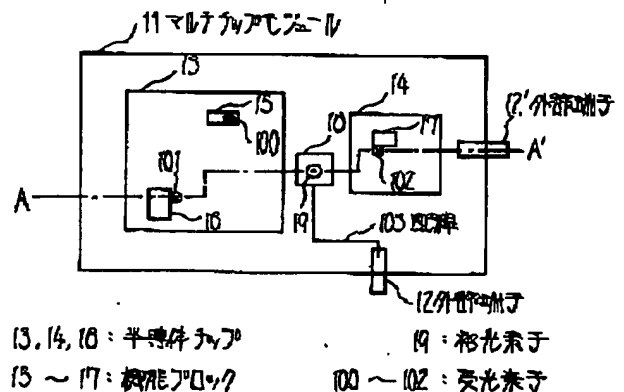
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 マルチチップモジュール

(57) 【要約】

【目的】 マルチチップモジュールにおいて、クロック信号をマルチチップ間で光信号で伝送する手段を用いることにより、マルチチップモジュール全体としての性能の向上と、クロックスキューの低減をする。

【構成】 マルチチップモジュール11内に機能ブロック15および受光素子100と機能ブロック16および受光素子101とを有する半導体チップ13と、機能ブロック17および受光素子102とを有する半導体チップ14と、発光素子19を有する半導体チップ18とを備え、発光素子19にはマルチチップモジュール11の外部端子12から配線103を介してクロックの電気信号が与えられ、発光素子19によって光信号に変換される。その光信号を受光素子100~102が受信し、電気信号に変換されて機能ブロック15~17に供給されるように構成される。



【特許請求の範囲】

【請求項 1】 1つのモジュール基板上に所定の機能を有する複数の半導体チップが搭載され、これら複数の半導体チップ間と外部端子間とが所定の導体パターンで接続されたマルチチップモジュールにおいて、前記複数の半導体チップのうち少なくとも1つが受光素子を有し、この受光素子に光信号を与える光信号供給手段を備えたことを特徴とするマルチチップモジュール。

【請求項 2】 前記複数の半導体チップのうち少なくとも1つは前記光信号を発生する発光素子を有することを特徴とする請求項 1 記載のマルチチップモジュール。

【請求項 3】 前記光信号供給手段は、前記モジュール基板および前記複数の半導体チップが所定のパッケージに封入され、かつ前記パッケージと前記複数の半導体チップとの間は所定の大きさの空洞が設けられ、かつ前記発光素子と前記受光素子以外の前記半導体チップ表面と前記空洞内面および前記モジュール基板表面には前記光信号を反射する反射層が形成されていることを特徴とする請求項 1 記載のマルチチップモジュール。

【請求項 4】 前記光信号供給手段は、前記空洞内の上面および側面の少なくとも一方の面上に、外部に接続された光ファイバー線路の終端部が配設され、この終端部から前記光信号が前記受光素子に供給されるように構成されることを特徴とする請求項 1 記載のマルチチップモジュール。

【請求項 5】 前記光信号供給手段は、前記モジュール基板および前記複数の半導体チップが前記パッケージに封入され、かつ前記パッケージと前記複数の半導体チップとの間は所定の大きさの空洞が設けられ、かつ前記発光素子と前記受光素子以外の前記半導体チップ表面および前記モジュール基板表面には前記光信号を吸収する非反射層が形成され、前記空洞内面には前記反射層が形成されていることを特徴とする請求項 1 記載のマルチチップモジュール。

【請求項 6】 前記パッケージに封入されない少なくとも1組のマルチチップモジュールの前記複数の半導体チップ搭載面が対向するように所定の距離を保って配置され、一方の前記マルチチップモジュールに前記発光素子が搭載され、他方の前記マルチチップモジュールに前記受光素子が搭載されたことを特徴とする請求項 1 および 2 記載のマルチチップモジュール。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマルチチップモジュールに係わり、特にマルチチップモジュールに搭載された半導体チップ間の信号の高速分配に関する。

【0002】

【従来の技術】 従来は、所望するシステムの機能を実現するためには、標準仕様の半導体集積回路（IC）を多数プリント配線基板に実装し、これら IC 間を接続して

システムを構成していた。しかしながら、半導体技術のめざましい進歩と、これらの IC を設計する CAD（Computer Aided Design）技術の改善に伴ない、ユーザ側の要求するシステムに対応できるように考慮された特定用途向けの IC、すなわち ASIC が普及してきた。

【0003】そのため、前述した標準 IC をできるだけ1チップに集積化することによりシステムを構成する装置の小型化、あるいはコスト低減、さらにはその装置の性能向上を図るために、システム・オン・シリコンの動きが活発になってきた。

【0004】このような状況下にあつて、システムの性能を向上させるには、1チップ化したチップ内システムにおける信号の処理速度を高速化することが必要であり、そのためにいわゆるデザインルール（Design rule）と称する IC チップのマスクパタンの設計基準の縮小化が行なわれてきた。その結果、上述したユーザのシステム性能の向上に大きく寄与できるようになってきている。

【0005】しかし、従来のシステムでは問題とはならなかったチップ内の配線に起因する信号伝達の遅延時間のばらつきが、IC チップ内システムの性能向上に大きな妨げとなつてきている。

【0006】従来のマルチチップモジュールの一例を示した図 9 を参照すると、外部端子 92 から入力したクロック信号は、配線 903 を介してチップ 93、94 の各入力端子 904 および 905 に接続され、各 IC チップの入力バッファ 906、907 を経た後、各 IC チップ内の配線 908、909 により機能ブロック 95～97 にクロック信号が供給されるように構成される。このような構成によると、例えば、クロック信号を IC チップ内の複数機能ブロックに分配する場合、信号送信点外部端子 92 から信号受信点機能ブロック 95～97 に至る距離、すなわち、配線負荷容量の度合が異なるため、本来は複数の受信点で同一タイミングとなる必要があるクロック信号にもかかわらず、これらの信号の位相がずれてしまい正常な動作をしないことがある。

【0007】このような誤動作を防ぐために、例えば、マスクレイアウト設計時に、所定の信号のタイミング合せが必要な配線経路については、タイミングが許容されるばらつきの範囲内に納まるように配線長を調整する、いわゆるクロック・ツリー・シンセシスと称する手法、あるいは、信号配線の（配線抵抗値）×（配線容量値）で求められる時定数を調整するように配線長のほかに配線幅も調整する手法がある。

【0008】また、その他の手法が、特開昭 61-61461 号公報に記載されている。すなわち、集積回路基板上に論理ユニットが複数個集積され、さらに中央部には1個または2個以上の半導体発光素子がモノリシックに形成される。また論理ユニットには論理回路を構成す

されたマルチチップモジュールにおいて、前記複数の半導体チップのうち少なくとも1つが受光素子を有し、この受光素子に光信号を与える光信号供給手段を備えたことを特徴とする。

【0009】さらに他の手法の例が、特開平1-228008号公報に記載されている。この手法は、発光素子を内蔵したクロック発生回路と各種論理ブロックとが光導波路で接続され、外部から供給されたクロックの原発振信号がクロック発生回路で基本クロック信号に分周された後、発光素子により光に変換され光導波路を伝播されて各種論理ブロック内の受光回路に入射される。各種論理ブロック内ではこの受光回路により光信号が基本クロック信号に戻され、分周された後各種論理回路に供給されるとしている。

【0010】

【0016】さらにまた、前記光信号供給手段は、前記空洞内の上面および側面の少なくとも一方の面上に、外部に接続された光ファイバ線路の終端部が配設され、この終端部から前記光信号が前記受光素子に供給されるように構成することもできる。

【0017】また、前記光信号供給手段は、前記モジュール基板および前記複数の半導体チップが前記パッケージに封入され、かつ前記パッケージと前記複数の半導体チップとの間には所定の大きさの空洞が設けられ、かつ前記発光素子と前記受光素子以外の前記半導体チップ表面および前記モジュール基板表面には前記光信号を吸収する非反射層が形成され、前記空洞内面には反射層が形成されるようにすることもできる。

【0018】さらに、前記パッケージで覆われない少なくとも1組のマルチチップモジュールの前記複数の半導体チップ搭載面が対向するように所定の距離を保って配置され、一方の前記マルチチップモジュールに前記発光素子が搭載され、他方の前記マルチチップモジュールに前記受光素子が搭載することができる。

【0019】

【実施例】次に本発明を図面を参照しながら説明する。

【００２０】図１は本発明の第１の一実施例を示す平面図である。マルチチップモジュール１１の内部に機能ブロック１５と受光素子１００および機能ブロック１６と受光素子１０１を有する半導体チップ１３と、機能ブロック１７と受光素子１０２を有する半導体チップ１４と、発光素子１９を有する半導体チップ１８とを備える。発光素子１９にはマルチチップモジュール１１の外部端子１２から配線１０３を介してクロックの電気信号が与えられ、この電気信号は発光素子１９によって光信号に変換される。

【００２１】その光信号を受光素子１００、１０１および１０２が受信し、電気信号に変換されて、この受光素子１００、１０１および１０２の近傍に配置されたクロック信号を供給すべき機能機能ブロック１５、１６、１

【発明が解決しようとする課題】上述した従来の手法のうち、クロック・ツリー・シンセシスの手法は、クロック信号が分配される対象機能ブロックの形状とICチップ内部の配線位置から厳密に配線長を調整することは出来ず、さらに配線相互の隣接および交叉による時定数のばらつきを正確に反映させることはCADツールに多大な負担となり、その処理時間の増大およびマシン容量の増大を招いている。すなわちこの手法にはICチップのシステム性能向上に限界がある。

【0011】また、クロック信号を光で伝送する従来例では、特に、同一ICチップ上に高性能で光信号を電気信号に変換する光検出素子およびこの電気信号で動作する回路素子を一体形成するには、現状ではさらなる半導体技術の進展を必要とし、回路素子に照準を合せた製造プロセスを採用すると光検出素子の応答速度およびそのばらつきが大きくなる。また、光検出素子に照準を合せると、回路素子の高速動作が望めず、大規模システムのオン・チップ形成が困難となる。

【0012】本発明の目的は、上述の欠点に鑑みなされたものであり、システムの個々の機能に最適な現状技術での製造プロセスを選定し、それぞれの機能を１チップ化するとともに、これらのＩＣチップを１つのモジュール内で相互に接続するマルチチップモジュールにおいて、クロック信号をマルチチップ間で光信号で伝送する手段を用いることにより、マルチチップモジュール全体としての集積度の向上と、クロックスキューの低減とを目的とする。

【0018】

【課題を解決するための手段】本発明のマルチチップモジュールは、1つのモジュール基板上に所定の機能を有する複数の半導体チップが搭載され、これら複数の半導体チップ間と外部端子間とが所定の導体パターンで接続

7に供給される。

【0022】ここで外部端子12と発光素子19の間の伝搬時間を1.5nsec、発光素子19での電気→光変換時間を0.5nsec、発光素子19から受光素子102までの光伝搬時間を0.03nsec(約1cm)、発光素子19から受光素子101までの光伝搬時間を0.1nsec(約3cm)、受光素子100、101および102の光→電気信号変換時間およびその近傍の機能ブロックまでの遅延時間を1nsecとすると、外部端子12から機能ブロック16までは1.5+0.5+0.1+1=3.1nsec、外部端子12から機能ブロック17までは同様に3.03nsecとなり、機能ブロック16と17とのクロック信号のタイミングスキューは、3.1-3.03=0.07nsecとなる。

【0023】この値を前述した図9に示す従来例と比較してみる。図9では、比較の便宜上図1と機能上等価なものは全く同じ寸法であるとしている。

【0024】ここで外部端子92と入力端子904間の遅延時間を1.5nsec、入力バッファ遅延を1.5nsec、入力バッファ906と機能ブロック96間の遅延を4nsecとし、もう一方の経路で外部端子92と入力端子905の遅延を1.1nsec、機能ブロック907の入力バッファ遅延を0.5nsec、機能ブロック907と97間の遅延を1.5nsecとすると外部端子92から機能ブロック96に至る遅延時間が1.5+1.5+4=7nsec、外部端子92から機能ブロック97に到る遅延時間が1.1+0.5+1.5=3.1nsecとなり、機能ブロック96と97とのクロック信号のタイミングスキューは7-3.1=3.9nsecもある。

【0025】この3.9nsecの値と光信号による場合のスキュー0.07nsecを比較すれば、光信号によるクロック伝達が機能動作上同一タイミングを必要とするマルチチップモジュール内の、2か所の点でのタイミング差を小さくする上で圧倒的に有利なことが明らかである。

【0026】図1のA-A'間の断面図を示す図2を参照すると、マルチチップモジュール11の内部にチップ13、14および18が配置され、それぞれ受光素子101と102、発光素子19および外部端子12'を有している。

【0027】チップ13、14および18は、これらチップ間と外部端子12'とを接続するための配線を配設したモジュール基板212上に配置されている。

【0028】発光素子19より発した光信号は、気体を充填した空洞(スペース)211を伝搬してマルチチップモジュール11の内壁で反射しながら受光素子101、102に至る。すなわち、マルチチップモジュールのパッケージ11'の内壁の光信号の反射と、スペース

211が光を透過することとが光信号供給手段である。

【0029】本発明の第2の実施例の断面図を示す図3を参照すると、光信号はマルチチップモジュール外部から光ファイバー324に導かれて入力される。その終端でマルチチップモジュール内のスペース321全体に光を散乱させる。その光をチップ315、316上に配置された受光素子325~329が感知し、図1で説明したように、その近傍に配置された機能ブロックに信号が伝達される。

10 【0030】構成要素31、31'、32および312は図2における構成要素11、11'、12'および212と同じである。

【0031】第3の実施例の断面図を示した図4を参照すると、対向する2つの平面uおよびdのそれぞれに設置されたモジュール基板418および412の2つのモジュール基板を含み、モジュール基板418上のチップに配置された発光素子419から発する光信号をモジュール基板412上のチップ415、416および417上に配置された受光素子420、422および423が受信するもので、モジュール基板412そのものは発光素子を持たず、またモジュール基板412上に搭載されたチップ415~417を含む一体のシステムを包む、図2の構成要素11'および図3の構成要素31'に相当するパッケージはない。

30 【0032】図4を参照すると、光信号はスペース424を伝搬し、従ってモジュール基板412の上部に空間424を設けたことが光信号光手段そのものである。尚モジュール基板412の左右端の外部端子42はモジュール基板412を平板dの上に固定する役割と、平板dの表面に配された配線に接続し、モジュール基板412と電気的接続をはたす役割とをそなえたのである。

【0033】第4の実施例の断面図を示した図5を参照すると、発光素子59から発する光信号が、マルチチップモジュール51のスペース521内の全般にできるだけ減衰しないで伝搬するように、少なくともその内壁及びモジュール基板512の少なくともその表面及び搭載されているチップ53の少なくともその表面に、乱反射を含む光の反射効率の良い反射層(素材)530を備えたものである。特にマルチチップモジュール51のパッケージおモジュール基板512に表面処理を施さないでも十分な反射効率を得られる素材を用いても良い。

【0034】これによって同図に矢印で示した如く、1回の反射で入射する光から何度も反射をくり返して入射する光など、多くの経路の光信号を少い減衰率で送ることができ、受光素子501に到る光の強度を強くすることができる。

【0035】これによって受光素子501で光信号を受けてからの信号処理が、その光信号の有無のコントラストが明瞭な分だけ容易になる。

50 【0036】この経路の異なる光信号の受光素子501

の点での強度の様子を示した図6を参照すると、発光素子59の光信号が図6-aの波形8aおよび受光素子501に到達した経路の異なる光信号が図6-bの波形8b1、8b2および8b3で、伝搬距離が異なるための伝達時間に差が生じ、また遅く到達する光程は、減衰も激しい。

【0037】こうした到達時間と減衰の度合いの異なる光が重ね合わさって、結果的に図6-cの波形8biで示す信号が受光素子501で受信される。波形のロウレベルからハイレベルへの立上りおよびハイレベルからロウレベルの立下りは、上記の理由で鈍ったものになる。この鈍りは、信号のパルス幅に比して十分小さいものであれば通常はほとんど問題にはならない。

【0038】第5の実施例を断面図で示した図7を参照すると、マルチチップモジュール71のパッケージ内壁のうち、天井部には光の反射率の良い素材730が用いられ、その他の少くとも表面部分には反射率が相対的に低い素材731が用いられたものである。素材730および731は、特に表面だけに限定されるものでなくマルチチップモジュール71のパッケージもしくはモジュール基板712そのものに反射率の低い素材を用いることを含むものである。

【0039】なお、図7ではマルチチップモジュール71のパッケージ内面の側面にも反射率が相対的に低い素材731が用いられているが、これに限定されるものではなくパッケージ内の側面を含む内面全体に反射率の良い素材730を用いてもよい。

【0040】この図7の構造においては、発光素子79からの光信号は、反射率の良い素材730ではそれほど減衰しないで反射されるが、床面の素材731に入射したものはほとんどそこで吸収され、反射して出てくるものが少い。

【0041】その結果、受光素子701に到達する光信号の経路はかなり限られたものになる。この様子を全面反射率の良い素材を使った場合との対比を波形図で示した図8を参照すると、波形8aは発光素子の発する光信号で図6の場合と異なり、パルス幅は非常に短い。

【0042】全面に反射率の良い素材を用いると、図6で説明した場合と同様の理由で波形8b1、8b2および8b3に示す波形の合成波が受光素子701で得られるが、パルス幅が短いため早く到達した光と遅く到達した光との大きな位相ずれのために、その合成波は波形8cに示すように、もはや矩形波ではなくなってしまう。

【0043】波形8cには比較の上でパルス幅が長い場合として図6-cに示した波形の一部も点線で示す。一度このようにくずれた波形は、電気信号に変換後整形することはもちろんできるが、信号の立上り立下りのタイミングに誤差が生じ、また整形回路を付加する等の余分な機能が必要になる。

【0044】これに比較して、図7に示した構造では、

前述したように受光素子701に至る光信号の経路は限定されるので701で得られる光の強度は弱まるが位相のズレた光成分がほとんどなくなり、波形8dに示すように波形8aに近い矩形波が得られる。この場合は、単にこの信号を増幅するだけで整形しなくとも十分所定の機能ブロックに供給できるものである。

【0045】また、図7では電気信号系素子に光が照射されることによる特性変動を防止するために光遮蔽素材732がチップ73の表面に備えられている。素材732は素材731と同機能を備えた1つの素材によって素材732および731との2層構造にするのではなく素材732だけにしても良い。

【0046】

【発明の効果】上述したように本発明によれば、まず第1に、クロックなどの高速の信号に光信号を用いるに当たって、それをマルチチップモジュールの状態で行うことにより、発光素子および受光素子それぞれに適したチップ製造プロセスの適用が可能になる。この結果として、マルチチップモジュール全体として高性能を有するシステムが実現できる。

【0047】第2には、光信号の理想に近い伝搬時間のために、クロックスキューが電気信号のみに頼った場合に比して著しく低減され、高性能のシステムが実現できる。さらに第3には、光信号の伝達経路のうち、反射する部分に反射率の高いものと比較的に低いものを使い分けることによって、光信号を受ける位置での光強度、あるいは波形をコントロールすることができ、上記高性能化をより確実なものにすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す平面図である。

【図2】図1における点A-A'の断面図である。

【図3】本発明の第2の実施例を示す断面図である。

【図4】本発明の第3の実施例を示す断面図である。

【図5】本発明の第4の実施例を示す断面図である。

【図6】第4の実施例を説明するための波形図である。

【図7】本発明の第5の実施例を示す断面図である。

【図8】第5の実施例を説明するための波形図である。

【図9】従来のマルチチップモジュールの一例を示す平面図である。

【符号の説明】

11, 31, 51, 71, 91 マルチチップモジュール

15~17, 95~97 機能ブロック

13, 14, 18, 23, 24, 28, 53, 58, 73, 78, 93, 94, 315, 318, 415, 416, 417 半導体チップ

100, 101, 102, 201, 202, 325~329, 420~423, 501, 701 受光素子

19, 29, 59, 79, 419 発光素子

212, 312, 412, 418, 512, 712

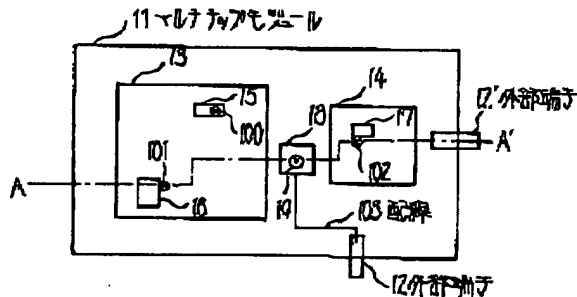
(6)

特開平7-131063

9
半導体チップを搭載しモジュール基板
12, 12', 22, 32, 42, 92 外部端子

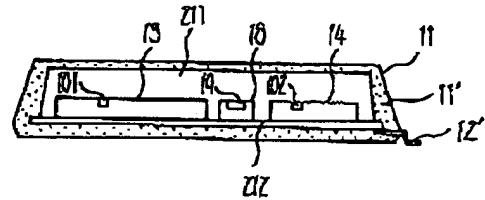
10
211, 321, 424, 521, 721 スペース
(空洞)

【図1】

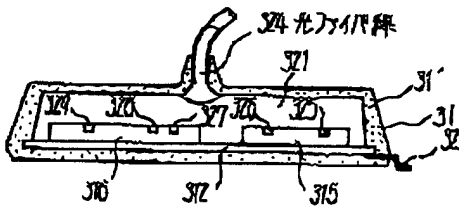


13, 14, 18: 半導体チップ
15 ~ 17: 機能ブロック
19: 発光素子 emitter
100 ~ 102: 受光素子 detector

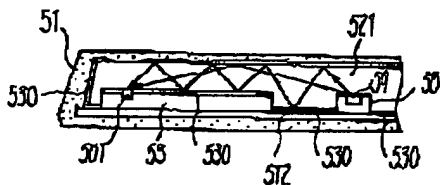
【図2】



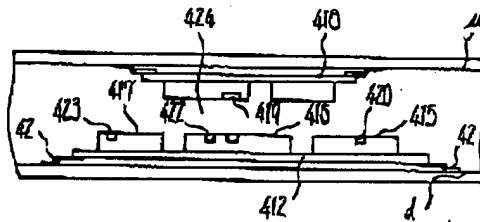
【図3】



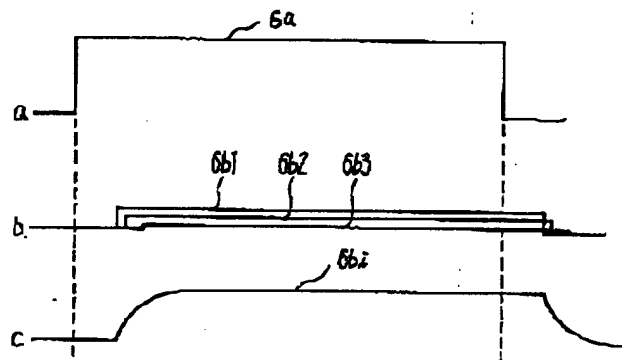
【図5】



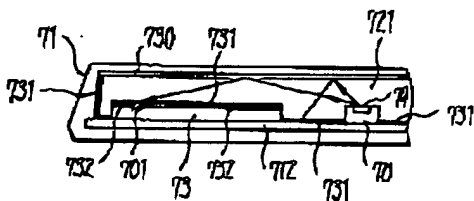
【図4】



【図6】



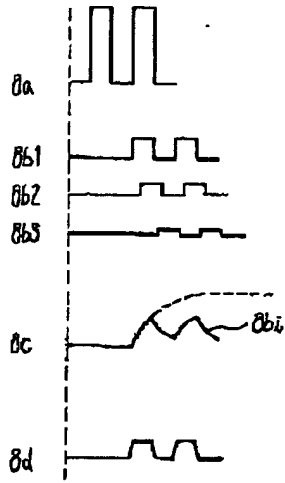
【図7】



(7)

特開平7-131063

【図8】



【図9】

